

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-305858
 (43)Date of publication of application : 02.11.2000

(51)Int.CI. G06F 12/16
 G11C 11/401
 G11C 29/00

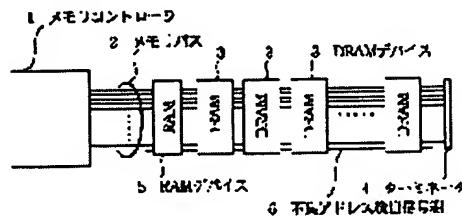
(21)Application number : 11-114585 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 22.04.1999 (72)Inventor : ITO HIROSHI

(54) SEMICONDUCTOR DEVICE AND SEMICONDUCTOR SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress an increase in chip area at the relief of defective chip by providing one of semiconductor memories, connected to a common memory bus, with a function of processing a request to access defective bits of another semiconductor memory.

SOLUTION: When a memory controller 1 issues a packet for opening a bank and a row including a target address, the packet is sent to respective DRAM devices 3 and a RAM device 5 through a memory bus 2. The DRAM 3 to which a device ID is assigned decodes the address and command. The RAM 5 also decodes the address and command, whose information is stored. Here, if the accessed address is defective, the DRAM 3 detects that and raises the potential of an address signal line 6 to make the RAM 5 receive the detected information. The RAM 5 reads and writes data expected to be stored in the defective bits instead.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(18) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-305858

(P2000-305858A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl.
 G 06 F 12/16
 G 11 C 11/401
 29/00

識別記号
 310
 601

P I
 G 06 F 12/16
 G 11 C 29/00
 11/34

データード(参考)
 310 P 5B018
 601 B 5B024
 371 D 5L106

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号

特願平11-114585

(22) 出願日

平成11年4月22日 (1999.4.22)

(71) 出願人

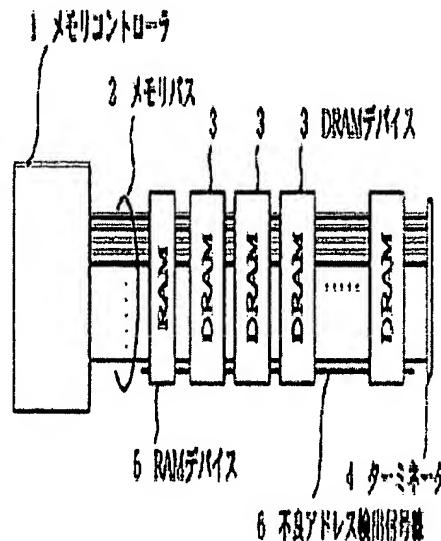
000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地
 (72) 発明者 伊藤 洋
 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
 (74) 代理人 100083161
 弁理士 外川 英明
 F ターム(参考) 5B018 5A08 5A13 5A16 5A01 5A03
 5A01 5A03 5A16
 5B024 5A15 5A29 5A17
 5L108 5A01 5A02 5C07 5C09 5C13
 5C22 5E02 5F04 5F05 5G00
 5G05

(54) 【発明の名称】 半導体装置及び半導体システム

(57) 【要約】

【課題】 不良セルの救済において、不良アドレスを記憶するヒューズ弟子などによるチップ面積の増大を抑制すること。

【解決手段】 メモリバス上にDRAMデバイスとは独立したRAMを設ける。そのRAMはDRAMの欠陥のあるアドレスへのアクセス要求をDRAMに代わって処理する。また同じRAMをキャッシュメモリとして使用することにより、メモリシステムの信頼性、高速性といった性能が向上する。



【特許請求の範囲】

【請求項 1】 共通のメモリバスで接続された複数の第1のタイプの半導体メモリと、前記メモリバスに接続された第2のタイプの半導体メモリとを具備し、

前記第2のタイプの半導体メモリは、前記第1のタイプの半導体メモリの不良ビットへのアクセス要求を処理する機能を有することを特徴とする半導体装置。

【請求項 2】 前記第1のタイプの半導体メモリは、前記不良ビットのアドレスを記憶する不揮発性記憶素子と、

外部から入力されるアドレスと前記不揮発性記憶素子に記憶されているアドレスとが一致したことを検出する機能と、

前記外部から入力されるアドレスと前記不揮発性素子に記憶されているアドレスとが一致した場合に書き込み／読み出し動作を行わない信号を出す比較機能を有することを特徴とする請求項1記載の半導体装置。

【請求項 3】 前記第1のタイプの半導体メモリは、前記アドレスの比較結果が一致した場合に前記第2のタイプの半導体メモリに前記アクセス処理を要求する機能を有することを特徴とする請求項2記載の半導体装置。

【請求項 4】 前記第1のタイプの半導体メモリは、前記不良ビットのアドレスを前記第2のタイプの半導体メモリへ出力する機能を有することを特徴とする請求項1乃至3記載の半導体装置。

【請求項 5】 前記第2のタイプの半導体メモリは、前記不良ビットのアドレスを記憶する複数のメモリセルからなる第1のメモリセルアレイと、複数のメモリセルからなる第2のメモリセルアレイと、前記不良ビットのアドレスに対応する前記第2のメモリセルアレイ内のメモリセルのデータを読み出す機能を有することを特徴とする請求項1乃至4記載の半導体装置。

【請求項 6】 前記第2のメモリセルアレイは、スタティック型メモリセルからなることを特徴とする請求項5記載の半導体装置。

【請求項 7】 前記第2のタイプの半導体メモリは、キャッシュメモリとしての機能を有することを特徴とする請求項1乃至6記載の半導体装置。

【請求項 8】 共通のメモリバスに接続された複数の第1のタイプの半導体メモリと、前記メモリバスに接続され、前記第1のタイプの半導体メモリの不良ビットへのアクセス要求を処理する機能を有する第2のタイプの半導体メモリとを具備する半導体システムであって、

前記不良ビットの検出をシステムの初期化時に行うことを行つて、

前記不良ビットの検出をシステムの初期化時に行うことを行つて、

前記不良ビットを検出し、そのアドレスを前記第2のタイプの半導体メモリに記憶させる機能を

具備することを特徴とする請求項8記載の半導体システム。

【請求項 10】 共通のメモリバスに接続された複数の第1のタイプの半導体メモリと、

前記メモリバスに接続され、前記第1のタイプの半導体メモリの不良ビットへのアクセス要求を処理する機能を有する第2のタイプの半導体メモリとを具備する半導体システムであって、

初期化後に前記不良ビットのアドレスを前記第2のタイプの半導体メモリに記憶させる機能を具備することを特徴とする半導体システム。

【説明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体メモリシステム上で利用されるメモリ等の不良ビットを救済するものに関する。

【0002】

【従来の技術】 図1に従来のメモリシステムの一例の概略図を示す。複数のDRAMデバイス3が共通のメモリバス2に接続されている。メモリバス2の一端はメモリコントローラ1が接続されている。メモリバス2の他端にはターミネータ4が接続されている。メモリコントローラ1はメモリバス2を介して各DRAMデバイス3にコマンドを発行する。このコマンドは、例えばパケットの形で送られる。このパケットには、どのDRAMデバイス3にコマンドを実行させるかを特定するデバイスIDが含まれている。パケットを受け取ったDRAMデバイス3は、そのパケットに含まれるデバイスIDが自分宛でなければ何もしない。デバイスIDが自分宛であれば、コマンドをデコードして、コマンドを実行する。なお、デバイスIDは、システムの初期化時にメモリコントローラ1によって各DRAMデバイス3に固有の値が割りつけられるものである。ところで、近年、高速な半導体メモリシステムが実現されているが、それら高速メモリシステム上では、性能を上げるために複数のパンクを持つ半導体メモリが通常は使用されている。実際に実用化されているものの例として、米国ラムバス(Rambus)社の仕様に基づくダイレクト・ラムバス(Direct Rambus)規格のメモリシステム、及びそのシステム上で使用されるダイレクト・ラムバス(Direct Rambus)DRAMがある。その他にも多くの高速DRAMが提案されているが、多パンク構成を採用しているものが通常である。

【0003】 さらにメモリシステムの性能を高める為、そのパンク数が増える傾向にある。前記のダイレクト・ラムバスDRAMでは16パンクの製品があり、さらに2パンクのDRAMデバイスの使用も考えられている。複数のメモリセルを行列に配したメモリセルアレイをもつ半導体メモリにおいては、底、結晶欠陥等によって動作しない不良ビットの存在が問題になる。近年のメモリ

容量の大容量化により全メモリセルが完全に作ることが困難になっている。これら不良ビットの発生は大容量化が最も進んでいるDRAMにおいて大きな問題となる。そのため、あらかじめ冗長なメモリセルの行、列をチップ上に予備として用意しておき、不良ビットがある行、列にアクセスがあったときは、予備のメモリセルアレイをアクセスするようにすることで、少数の不良ビットがあるチップも良品とするリダンサンス技術を採用することが一般的している。

【0004】

【発明が解決しようとする課題】しかし、このようなりダンサンス技術を採用するには、予備のメモリセルアレイ、不良ビットのアドレスを記憶しておくためのヒューズ素子等を用いた不揮発性記憶素子がチップ上に必要であり、面積の増大、回路の複雑化によるレイテンシの低下（応答速度の低下）などの問題が生じる。救済できる不良セル数は、どれだけ予備のセルアレイを用意するかで決まるが、歩留まりは試作時、量産立ち上げ時、量産時で変化していくものである。そのため、救済効率とチップ面積増加とのかねあいで、設計時にどれだけ予備のセルアレイを置くかを決定するのは困難である。さらに、多パンク構成のDRAMではいつもあるいは少数のパンクからなるDRAMと同等の救済効率を保とうとすると、より多くの冗長度が必要になる。つまり、より多くのスペア等が必要となる。これは図2のような場合があるからである。図2はメモリセルアレイとスペアロウ、またその上に発生する不良を模式的に表したものである。図2(a)は単一のパンクから成り、4本のスペアロウが用意してある。図2(b)は全体としてみれば(a)と同じ容量であるが、パンクが二つに分れている。スペアロウも各パンクに2本づつ計4本用意するものとする。図の×印が不良が存在することを示しており、(a) (b)とも不良の分布は同じである。

【0005】ここで、多パンクの場合はパンク毎に違った状態を取ることができなくてはならないので、パンク内の不良はパンク内で救済しなければならない。したがって、図2のような不良分布の場合には、2パンク構成である(b)では救済できない不良ビットが存在することになり、このチップを良品として救済することはできなくなる。このように、多パンク品ではより大きな冗長度（スペア）が必要であり、単数あるいはより少数のパンク構成品と比較した時のチップ面積の増大、コストアップといった問題につながる。本発明は、上記問題点に鑑みてなされたものであり、不良ビットの救済において、従来に比べてチップ面積の増加を抑制することを可能とする。そして、半導体チップ面積の削減、製造コストダウンを可能とする。

【0006】

【課題を解決するための手段】本発明にかかる半導体装置は、共通のメモリバスで接続された複数の第1のタイ

プの半導体メモリと、前記メモリバスに接続された第2のタイプの半導体メモリとを具備し、前記第2のタイプの半導体メモリは、前記第1のタイプの半導体メモリの不良ビットへのアクセス要求を処理する機能を有することを持特徴とする。ここで、好ましくは、前記第1のタイプの半導体メモリは、前記不良ビットのアドレスを記憶する不揮発性記憶素子と、外部から入力されるアドレスと前記不揮発性記憶素子に記憶されているアドレスとが一致したことを検出する機能と、前記外部から入力されるアドレスと前記不揮発性素子に記憶されているアドレスとが一致した場合に書き込み／読み出し動作を行わない信号を出す比較機能を有する。また、好ましくは、前記第1のタイプの半導体メモリは、前記アドレスの比較結果が一致した場合に前記第2のタイプの半導体メモリに前記アクセス処理を要求する機能を有する。また、好ましくは、前記第1のタイプの半導体メモリは、前記不良ビットのアドレスを前記第2のタイプの半導体メモリへ出力する機能を有する。

【0007】また、好ましくは、前記第2のタイプの半導体メモリは、前記不良ビットのアドレスを記憶する複数のメモリセルからなる第1のメモリセルアレイと、複数のメモリセルからなる第2のメモリセルアレイと、前記不良ビットのアドレスに対応する前記第2のメモリセルアレイ内のメモリセルのデータを読み出す機能を有する。また、好ましくは、前記第2のメモリセルアレイは、スタティック型メモリセルからなる。また、好ましくは、前記第2のタイプの半導体メモリは、キャッシュメモリとしての機能を有する。本発明にかかる第1の半導体メモリシステムは、共通のメモリバスに接続された複数の第1のタイプの半導体メモリと、前記メモリバスに接続され、前記第1のタイプの半導体メモリの不良ビットへのアクセス要求を処理する機能を有する第2のタイプの半導体メモリとを具備する半導体システムであって、前記不良ビットの検出をシステムの初期化時に行うことを持特徴とする。ここで、好ましくは、前記不良ビットを検出し、そのアドレスを前記第2のタイプの半導体メモリに記憶させる機能を具备する。本発明にかかる第2の半導体メモリシステムは、共通のメモリバスに接続された複数の第1のタイプの半導体メモリと、前記メモリバスに接続され、前記第1のタイプの半導体メモリの不良ビットへのアクセス要求を処理する機能を有する第2のタイプの半導体メモリとを具備する半導体システムであって、初期化後に前記不良ビットのアドレスを前記第2のタイプの半導体メモリに記憶させる機能を具备することを持特徴とする。

【0008】本発明にかかる半導体装置及び半導体メモリシステムは、上記構成を採ることにより、不良ビットの救済において従来に比べてチップ面積の増加を抑制することを可能とする。そして、半導体チップ面積の削減、製造コストダウンを可能とする。

【0009】

【発明の実施の形態】<第1の実施の形態>本発明の第1の実施の形態について図面(図3～図4)を参照して説明する。図3に、本発明の第1の実施の形態にかかる半導体メモリシステムの概略図を示す。実際のメモリシステムの例としては前述のラムバスメモリシステム等がある。なお、本発明は、ここに示すシステム以外にもその趣旨を逸脱しない範囲で適用可能であることは言うまでもない。まず、複数のDRAMデバイス3が共通のメモリバス2に接続されている。このメモリバス2は、アドレスバスやデータバスを含むものとする。また、DRAMデバイス3はEEPROMデバイスやFRAMデバイスなどの他の半導体メモリでも構わない。DRAMデバイス3は、例えばメモリバス2上のクロックと同期して動作する。また、DRAMデバイス3は、不良ビットが存在する場合にその不良アドレスを記憶する不揮発性記憶素子を有する。また、後述するように、DRAMデバイス3は、不良アドレスとアクセス要求がきているアドレスとが一致した場合には不良アドレス検出信号線6にハイ信号を出す。そして、DRAMデバイス3は、不良ビットに対して読み出し/書き込みを行わないように命令する機能を有する。

【0010】さらに、DRAMデバイス3と共にメモリバス2にはRAMデバイス5が搭載されている。このRAMデバイス5は、DRAMやSRAM、又はそれらの混載からなる半導体メモリである。そして、RAMデバイス5とDRAMデバイス3とは、ボード上の共通の配線で接続されている。この共通の配線として、図3では不良アドレス検出信号線6が図示されている。メモリバス2の一端にはメモリコントローラ1が接続されている。メモリバス2の他端にはターミネータ4が接続されている。メモリコントローラ1はメモリバス2を介して各DRAMデバイス3にコマンドを発行する。このコマンドは、例えばパケットの形で送られる。但し、コマンドの送信形式としては、パケット方式に限られない。なお、パケットを用いるタイプのメモリシステム等がある。パケットには、どのDRAMデバイス3にコマンドを実行させるかを特定するデバイスIDが含まれる。パケットを受け取ったDRAMデバイス3は、そのパケットに含まれるデバイスIDが自分宛であれば、コマンドをデコードして、コマンドを実行する。なお、デバイスIDは、システムの初期化時にメモリコントローラ1によって各DRAMデバイス3に固有の値が割りつけられる。

【0011】図4にRAMデバイス5の構成を示す。RAMデバイス5は、DRAMデバイス3における不良ビットの救済を集中的に行うものである。そして、DRAMデバイス3に存在する不良ビットへアクセス要求が来ると、RAMデバイス5は後述する方法でその不良ビッ

トのアドレスデータを受け取り、その不良ビットが記憶する予定であったデータを代わりに読み出し/書き込みする機能を有するものである。また、RAMデバイス5は、メモリバス2上にある他のDRAMデバイス3と同様なインターフェース回路7をもつ。但し、このインターフェース回路7は、DRAMデバイス3と異なり、デバイスIDが自分宛でなくとも、送信されてきたパケットのアドレスデータ、コマンドデータをデコードすることとする。また、RAMデバイス5は、連想メモリブロック9を有する。この連想メモリブロック9は、DRAMデバイス3における不良ビットのアドレス(不良アドレス)を記憶することとなる。また、RAMデバイス5は、インターフェース回路7と連想メモリブロック9との間にパンクステートレジスタ8を有する。このパンクステートレジスタ8は、DRAMデバイス3において選択されたパンクアドレス、ロウアドレス、及びロウオープンされたという情報を記憶するものである。

【0012】また、RAMデバイス5は、SRAMブロック10を有する。このSRAMブロック10は、DRAMデバイス3における不良ビットが記憶する予定であったデータを代わりに記憶するメモリセルアレイを有する。このメモリセルアレイは、データを記憶できるものであれば構わず、SRAMブロック10の代わりにDRAMブロックを用いても構わない。SRAMブロック10の代わりにDRAMブロックを用いると、小容量かつ高速化を図ることが可能となる。また、レシーバ11は、不良アドレス検出信号線6を介して送られてくる不良アドレス検出信号のレシーバである。次に、この半導体メモリシステムの動作について説明する。ここではリードコマンドに関する動作だけが示されているが、ライトコマンドに関する動作の場合もデータパケット、DRAMデバイス3／RAMデバイス5内のデータの流れの向きが逆になるだけで、本発明の適用に関しては同等である。まず最初、目的のアドレスを含むロウは活性化(オープン)されていないとする。メモリコントローラ1はまず、目的のアドレスを含むパンク及びロウをオープンする為のパケットを発行する。このパケットにはデバイスID、パンクアドレス、ロウアドレス、ロウオープンコマンドなどがエンコードされている。ここで、デバイスIDは、複数あるDRAMデバイス3のうちどのDRAMデバイス3を選択するかを示すものである。パンクアドレスは、DRAMデバイス3に含まれる複数のパンクのうち、どのパンクを選択するかを示すものである。ロウアドレスは、選択されたパンクにおいてどのロウを選択するかを示すものである。ロウオープンコマンドは、選択されたロウを実際にオープンにすることを命令するコマンドである。

【0013】メモリコントローラ1はメモリバス2を介して上述のパケットを各DRAMデバイス3およびRAMデバイス5に送信する。パケットに含まれるデバイス

IDが割り当てられているDRAMデバイス3は、パンクアドレス、ロウアドレス、オープントロウコマンドをデコードして実行することとなる。このとき、RAMデバイス5もパンクアドレス、ロウアドレス、ロウオープンコマンドをデコードしており、選択されたパンク、ロウがオープンされたと見うけた際がパンクステートレジスタ8に記憶される。なお、デバイス1Dが自分宛でない場合には、DRAMデバイス3は何もしない。DRAMデバイス3内部で選択されたロウのデータのセンスに必要な時間が取れるだけ間隔を空けた後、メモリコントローラ1から、データをリードする為のパケットが発行される。このパケットにはデバイス1D、パンクアドレス、カラムアドレス、リードコマンドがエンコードされている。パケットに含まれるデバイス1Dが割り当てられているDRAMデバイス3は、パンクアドレス、カラムアドレス、リードコマンドをデコードする。なお、デバイス1Dが自分宛でない場合には、DRAMデバイス3は何もしない。

【0014】ここで、アクセスされるアドレスが不良アドレスではない場合は以下のようにになる。DRAMデバイス3は選択されたパンク、カラムからデータを読み出し、データパケットの形に整形して、メモリバス2上に出力する。不良アドレス検出信号線6の電位はGNDレベルを保っている。このときRAMデバイス5は何もしない。ここで、アクセスされるアドレスに不良がある場合は以下になる。不良アドレスはDRAMデバイス3の製造工程における試験により検出され、ヒューズ等の手段でDRAMデバイス3内部に記憶されている。DRAMデバイス3は記憶されている不良アドレスをデコードしたアドレスと比較し、一致した場合には、不良アドレス検出信号線6の電位をハイレベルに上げ、そこでこのコマンドの処理を終了する。このときRAMデバイス5では、上述した通り、パンクアドレス、カラムアドレス、リードコマンドを既にデコードしている。不良アドレス検出信号線6がハイレベルになると、この情報をレジスタ11が受け取る。そして、すでにその不良アドレスが連想メモリロック9に記憶されていなければ、そのアドレスを連想メモリブロック9に記憶する。さらに、連想メモリブロック9からの出力で一意に選択されるSRAMブロック内のセルに対し、コマンドを実行する。

【0015】なお、不良アドレスが一度、連想メモリブロック9に記憶されてしまえば不良アドレス検出信号を参照する必要はなくなる。このとき連想メモリブロック9で必要なロウアドレスはパンクステートレジスタ8から供給される。さらに、インターフェース回路7において、SRAMブロック10からのデータをデータパケットに整形して、メモリバス2上に出力し、動作を終了する。統いて、メモリコントローラ1から、ロウをクローズする為のパケットがメモリバス2上に発行されたとす

る。このときパケットにはデバイス1D、パンクアドレス、クローズロウコマンドが含まれる。そのパケットに含まれるデバイス1Dを有するDRAMデバイス3は、パンクアドレス、クローズロウコマンドをデコードして実行する。このとき、RAMデバイス5もパンクアドレス、クローズロウコマンドをデコードしており、パンクステートレジスタ8に記憶されている「パンクがオープンされている」という情報をクリアし動作を終了する。また、RAMデバイス3の不良ビットへのアクセスの場合、メモリコントローラ1は、応答してくるデバイスはDRAMデバイス3のつもりでアクセスしている。そのため、RAMデバイス5がDRAMデバイス3より早く反応できても、次の処理はDRAMデバイス3が応答するはずの時間まで待つことになる。一方、RAMデバイス5に含まれるメモリ領域のうち不良ビットの救済に使用されない領域についてはDRAMデバイス3の速度に合せる必要がない。そのため、不良ビットの救済に使用されない領域を高速なキャッシュメモリとして使用できる。このようにしてRAMデバイス5の一部をキャッシュメモリとして使用する場合は、RAMデバイス5に割り当てられたデバイス1Dを用いて直接アクセスしてやればよい。

【0016】以上のように、本発明の第1の実施の形態によると、半導体メモリシステムのDRAMデバイス3の不良ビットを半導体メモリシステム全体で集中して救済することができる。そのため、DRAMデバイス3内からはスペアロウ、スペアカラムを最低限に減らす、あるいはなくすことができる。これにより、大量に使用するDRAMデバイス3の小面積化、製造コストダウンが可能となる。また、RAMデバイス5の不良ビット救済に使用されないメモリ領域をキャッシュメモリとして用いることにより、半導体メモリシステムの性能の向上が可能である。これにより、半導体メモリシステム全体におけるコストパフォーマンスの向上が可能となる。

【第2の実施の形態】本発明の第2の実施の形態を図5を参考して説明する。図5に本発明の第2の実施の形態にかかる半導体メモリシステムの概略図を示す。第1の実施の形態と同一の部分についての説明は省略する。この概略図では、第1の実施の形態と比べて不良アドレス検出信号線がない点で異なる。これは、後述するように、電源投入後の半導体メモリシステムの初期化の手順の中で、本発明をサポートするメモリコントローラ1によってDRAMデバイス3内に記憶された不良アドレスの情報をRAMデバイス5に転送することとして、不良ビットへのアクセス時にDRAMデバイス3から不良アドレスの検出をRAMデバイス5への通知を行わないためである。

【0017】次に、この半導体メモリシステムの動作について説明する。ここではリードコマンドに関する動作だけが示されているが、ライトコマンドに関する動作の

場合もデータパケット、DRAMデバイス3/DRAMデバイス5内のデータの流れの向きが逆になるだけで、本発明の適用に関しては同等である。まず、電源投入後に各DRAMデバイス3にデバイスIDが割り振られる。そして、半導体メモリシステムの初期化の手順に加えて、メモリコントローラ1はDRAMデバイス3から不良アドレスの情報を取り出す。さらにメモリコントローラ1は、その不良アドレスへアクセスするリクエストパケットを送る。その不良アドレスが不良アドレスであることをRAMデバイス5に知らせるには、パケット内にエンコードされるコマンドの種類を拡張することとすればよい。つまり、パケット内には、アドレスやコマンドがエンコードされていることから、このアドレス（不良アドレス）をRAMデバイス5に記憶するように命令するコマンドを付加すればよい。また、各DRAMデバイス3に対して、不良アドレスをRAMデバイス5に知らせるように命令するコマンドを作ることとしても構わない。

【0018】初期化後のメモリアクセスに関しては、第1の実施の形態と基本的に同じである。しかし、必要な不良アドレスは既に連想メモリロック9に記憶されているので不良アドレス検知信号、及びその為の配線6は必要ない。そのため、第1の実施の形態に比べて一部動作が異なる。この異なる点について説明する。メモリコントローラ1から各DRAMデバイス3に向けてパケットが送られた後、アクセスされるアドレスが不良アドレスでない場合は以下のようにになる。DRAMデバイス3は選択されたバンク、カラムからデータを読み出し、データパケットの形に整形して、メモリバス2上に出力する。このときRAMデバイス5は何もしない。ここで、アクセスされるアドレスに不良がある場合は以下のようにになる。DRAMデバイス3では、不良ビットへのアクセス要求を受け取ると、データを読み出さないでそのコマンドを終了する。このときRAMデバイス5では、上述した通り、バンクアドレス、カラムアドレス、リードコマンドを既にデコードしている。RAMデバイス5では、連想メモリロック9に記憶されている不良アドレスヒデコードしたアドレスと比較する。その結果、それとのアドレスが一致した場合は、連想メモリロック9からの出力で一意に選択されるSRAMブロック内のセルに対し、コマンドを実行する。さらに、インターフェース回路7において、SRAMブロック10からのデータをデータパケットに整形して、メモリバス2上に出力し、動作を終了する。

【0019】統いて、メモリコントローラ1から、ロウをクローズする為のパケットがメモリバス2上に発行されたとする。このときパケットにはデバイスID、バンクアドレス、クローズロウコマンドが含まれる。そのパケットに含まれるデバイスIDを有するDRAMデバイス3は、バンクアドレス、クローズロウコマンドをデコードして実行する。このとき、RAMデバイス5もバン

クアドレス、クローズロウコマンドをデコードしており、バンクステートレジスタ8に記憶されている「バンクがオープンされている」という情報をクリアし動作を終了する。また、RAMデバイス5のうち、不良ビットの救済に使用されない領域を高速なキャッシュメモリとして使用できることは第1の実施の形態と同様である。以上のように、本発明の第2の実施の形態によると、半導体メモリシステムのDRAMデバイス3の不良ビットを半導体メモリシステム全体で集中して救済することができる。そのため、DRAMデバイス3内からはスペアロウ、スペアカラムを最低限に減らす。あるいはなくすことができる。これにより、大量に使用するDRAMデバイス3の小面積化、製造コストダウンが可能となる。

【0020】また、RAMデバイス5の不良ビット救済に使用されないメモリ領域をキャッシュメモリとして用いることにより、半導体メモリシステムの性能の向上が可能である。これにより、半導体メモリシステム全体におけるコストパフォーマンスの向上が可能となる。

＜第2の実施の形態の変形例1＞上記第2の実施の形態の変形例1について説明する。この変形例1では、半導体メモリシステムの初期化の段階でDRAMデバイス3のメモリ動作をテストすることとする。そして、不良ビットを検出した場合は、再度RAMデバイス5にその不良アドレスを通知するコマンドを含むパケットを送るようとする。このようにすれば、DRAMチップがパッケージに封入され、半導体メモリシステムに実装された後に発生した不良ビットも救済することができる。このように半導体メモリシステムの初期化の手順にメモリ動作のテストが含まれていれば、DRAMデバイス3内で不良アドレスを記憶しておくのにヒューズに代表される不揮発性素子を用いる必要はなくなる。その代わり、例えばDRAMなどのチップ面積を小さくできる記憶素子を使用することが可能となる。特に、ヒューズはプローブする必要性から面積を非常に大きく取るため、これを他の記憶素子に置き換えるれば、チップ面積の更なる縮小化を図ることが可能となる。

【0021】＜第2の実施の形態の変形例2＞上記第2の実施の形態の変形例2について説明する。この変形例2では、半導体メモリシステムの初期化後の動作中にチェックサムなどによりデータの誤りを検出することとする。もし不良アドレスが検出されたら、メモリコントローラ1はその不良アドレスへ不良アドレス通知パケットを送ることにより、その後はその不良アドレスに対するアクセスをRAMデバイス5に代替させることができ。このようにすれば、半導体メモリシステムの初期化後の動作中にメモリ動作のテストが含まれていれば、DRAMチップがパッケージに封入され、半導体メモリシステムに実装された後に発生した不良ビットも救済することができる。

＜第2の実施の形態の変形例3＞この変形例3では、上

記実形例1又は実形例2において、第1の実施の形態に開示した不良アドレス検出信号線5を加える。そして、不良アドレスにアクセスが来た場合には、RAMデバイス3からDRAMデバイス3に向けて不良アドレス検出信号を送る。その不良アドレス検出信号を受けたDRAMデバイス3は、不良ビットへのアクセスを停止するようになる。

【0022】このようにすれば、DRAMデバイス3に不良アドレス記憶用のチップが不要となる。これにより、一層のチップ面積の削減が可能となる。

【0023】

【発明の効果】本発明によると、不良ビットの救済において従来に比べてチップ面積の増加を抑制することを可能となる。そして、半導体素子の微細化、製造コストダウンを可能とする。

【図面の簡単な説明】

【図1】従来の技術における半導体メモリシステムの概念図。

【図2】従来の技術における不良ビット救済の模式

図。

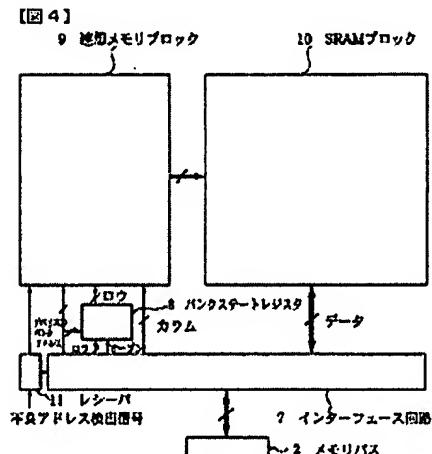
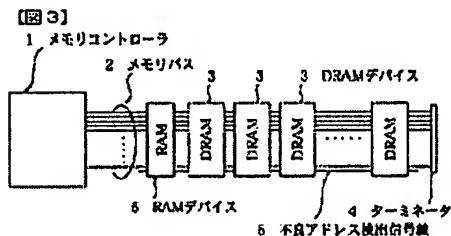
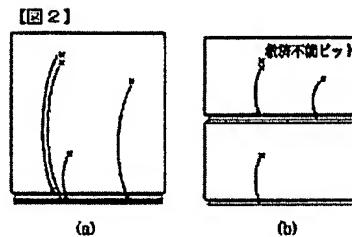
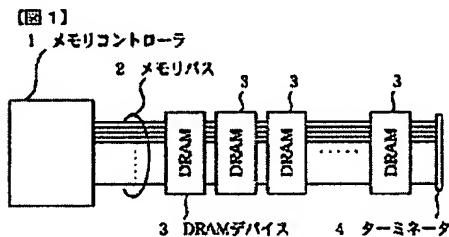
【図3】本発明の第1の実施の形態における半導体メモリシステムの概念図。

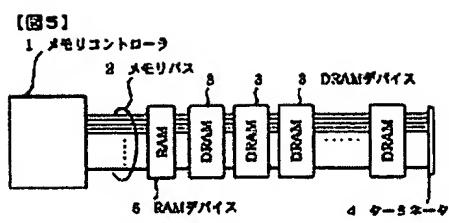
【図4】図3におけるRAMデバイス5の構成図。

【図5】本発明の第2の実施の形態における半導体メモリシステムの概念図。

【符号の説明】

- 1 … メモリコントローラ
- 2 … メモリバス
- 3 … DRAMデバイス
- 4 … ターミネータ
- 5 … 不良アドレス検出信号線
- 6 … インターフェース回路
- 8 … パンクスタートレジスタ
- 9 … 連想メモリブロック
- 10 … SRAMブロック
- 11 … レシーバ





**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: small dots**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.